

## EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

PUBLICATION NUMBER : 58105497  
 PUBLICATION DATE : 23-06-83

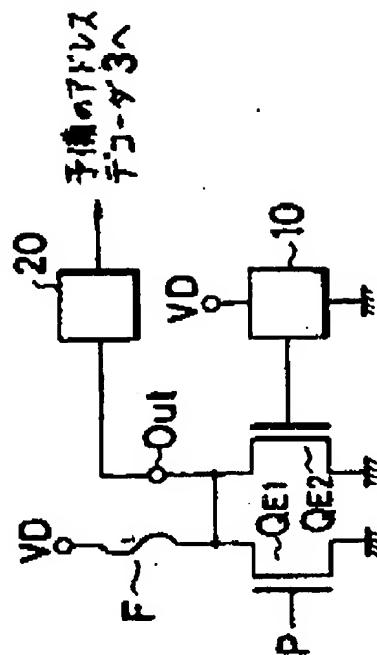
APPLICATION DATE : 17-12-81  
 APPLICATION NUMBER : 56204246

APPLICANT : TOSHIBA CORP;

INVENTOR : OCHII KIYOBUMI;

INT.CL. : G11C 29/00 G11C 17/00 H01L 27/10

TITLE : SEMICONDUCTOR INTEGRATED CIRCUIT



**ABSTRACT :** PURPOSE: To increase the reliability, by obtaining a binary output without flowing at all times a current to a nonvolatile storage element for a semiconductor integrated circuit having the redundant function and can switch a normal circuit to a spare circuit in case the normal circuit is faulty.

**CONSTITUTION:** For this semiconductor integrated position, a fuse element F made of polysilicon is inserted between the point of application of a power supply VD and an output terminal Out, an MOSFETQE<sub>1</sub> of an enhancement mode for program is inserted between the terminal Out and an earth, and another enhancement mode MOSFETQE<sub>2</sub> is inserted between the terminal Out and the earth. Furthermore a pulse generating circuit 10 which delivers the pulse signal of a prescribed pulse width of level 1 after the application of a power supply is provided along with a latch circuit 20 which stores the signal of the terminal Out. With such an IC, the current flows to the element F as long as the element F is not fused only when the pulse signal is applied to the MOSFETQE<sub>2</sub> from the circuit 10 to turn on the MOSFETQE<sub>2</sub>.

COPYRIGHT: (C)1983,JPO&amp;Japio

⑨ 日本国特許庁 (JP)      ⑩ 特許出願公開  
 ⑪ 公開特許公報 (A)      昭58—105497

⑫ Int. Cl.<sup>3</sup>  
 G 11 C 29/00  
 17/00  
 H 01 L 27/10

識別記号

序内整理番号  
 7922—5B  
 6549—5B  
 6655—5F

⑬ 公開 昭和58年(1983)6月23日  
 発明の数 1  
 審査請求 未請求

(全 7 頁)

## ⑭ 半導体集積回路

⑮ 特願 昭56—204246  
 ⑯ 出願 昭56(1981)12月17日  
 ⑰ 発明者 岩橋弘  
 川崎市幸区小向東芝町1番地東  
 京芝浦電気株式会社トランジス  
 タ工場内

⑱ 発明者 落井清文  
 川崎市幸区小向東芝町1番地東  
 京芝浦電気株式会社トランジス  
 タ工場内  
 ⑲ 出願人 東京芝浦電気株式会社  
 川崎市幸区堀川町72番地  
 ⑳ 代理人 弁理士 鈴江武彦 外2名

## 明細書

## 1. 発明の名称

半導体集積回路

## 2. 特許請求の範囲

(1) 一方電位供給端と出力端との間に挿入される非揮発性記憶素子と、上記出力端と他方電位供給端との間に挿入されるメインテンダ素子と、上記一方をより他方電位供給端間に所定の電位差が与えられる期間内あるいは、与えられてから後の所定期間に上記メインテンダ素子をスイッチする手段と、上記スイッチング素子がスイッチされている期間の上記出力端の信号を記憶する手段とを具備したことを特徴とする半導体集積回路。

(2) 前記不揮発性記憶素子がパリシリコンに上つて構成されているフューズ素子である特許請求の範囲第1項に記載の半導体集積回路。

(3) 前記半導体集積回路は正規メモリ回路および予備メモリ回路を備えた半導体メモリ内に

形成され、正規メモリ回路内に不良メモリが発生した際に不良メモリを予備メモリ回路内のメモリと交換する場合に用いられる交換制御信号として前記出力端の信号を記憶する手段からの信号を用いるようにした特許請求の範囲第1項に記載の半導体集積回路。

## 3. 発明の詳細な説明

## 発明の技術分野

この発明は正規回路が不具合の場合に予備回路に切換えることのできる冗長性機能を持つた半導体集積回路において、正規回路が不具合の場合に予備回路に切換える際の切換制御信号として用いられる信号を発生する半導体集積回路に関する。

## 発明の技術的背景

最近、半導体集積回路、特に半導体メモリにおいては、正規のメモリセル回路と予備のメモリセル回路を予め形成しておき、製造時に正規のメモリセル回路内に不良ピントがあつた場合にはこの不良ピント部分を予備のメモリセル回

略に書き換えて使用するようを穴長性機能を持つたものが増加している。これは、正規のメモリセル回路にわずか1ピットの不良セルがあつてもメモリ全体としては不適合ため、この上うなメモリは不良品として捨てられている。しかしながら、メモリ容量が増大するのに伴ない不良のメモリセルが発生する確率は高くなってきており、不良が発生しているメモリを捨てていたのでは製品のコストが極めて高価なものとなってしまう。したがつて、全体の歩留り向上のために予備のメモリセル回路を形成し、正規のメモリセル回路の一部が不良の場合にこれを切り換えて使う方法が採用されてきたのである。そして切り換えのための情報は不揮発性記憶素子に書き込まれている。

図1図は上記予備のメモリセル回路が形成されている半導体メモリのブロック構成図である。第1図において、「1」はアドレス信号が与えられるアドレスバッファであり、このアドレスバッファ「1」からの出力は正規のアドレスデコーダ

のピットがあり。この不良部分を予備のメモリセル回路「1」内のメモリセルと交換する際に、メモリセル交換のための情報が予め不揮発性記憶素子に書き込まれている交換制御信号発生部「1」から出力される交換制御信号によって制御される。すなわち、このようを構成の半導体メモリにおいて、正規のメモリセル回路「1」に不良ピットがなければ交換制御信号は出力されず、正規のアドレスデコーダのみが動作して正規のメモリセル回路「1」内のメモリセルがアクセスされる。一方、正規のメモリ回路「1」内に不良ピットがあれば、この不良ピットを含む行あるいは列アドレスに相当するデコード出力が得られるようすに予備のアドレスデコーダをプログラミングしておくとともに、交換制御信号発生部「1」から1レベルまたは0レベルの交換制御信号が得られるようすに前記不揮発性記憶素子をプログラムしておく。したがつて、いまアドレスバッファ「1」で正規のメモリセル回路「1」の不良ピットを含む行または列アドレスに対応する出力が得ら

れると、予備のアドレスデコーダによつて予備のメモリセル回路「1」内のメモリセルが選択される。さらにこのときの予備のアドレスデコーダのデコード出力によつて正規のアドレスデコーダのデコード動作が制御するための信号としても出力される。さらに上記予備のアドレスデコーダのデコード動作は、正規のメモリセル回路「1」内に不

れると、予備のアドレスデコーダによつて予備のメモリセル回路「1」内のメモリセルが選択される。さらにこのときの予備のアドレスデコーダのデコード出力によつて正規のアドレスデコーダのデコード動作が停止され、正規のメモリセル回路「1」はアクセスされない。このようを操作によつて、正規のメモリセル回路「1」内の不良部分が予備のメモリセル回路「1」と交換されるものである。

第2図(a), (b)は上記交換制御信号発生部「1」の従来の構成を示す回路図である。第2図(a)に示す回路は、電源VD印加点と出力端子Outとの間に不揮発性記憶素子の一つであるポリシリコンによつて構成されたアーメ素子を挿入し、出力端子Outとアース点との間にプログラム用のエンハンスマントモードのMOSFETQ1を挿入し、かつ出力端子Outとアース点との間にダイプレクションモードのMOSFETQ2を挿入し、MOSFETQ1, Q2のゲートにはプログラム信号Pを与えるようにするとともに

MOSFET Q<sub>9</sub>のゲートはアース点に接続するようにしてある。また、第2回(b)に示す回路は、電源VD印加点と出力端子O<sub>11</sub>との間にプログラム用のエンハンスマントモードのMOSFET Q<sub>8</sub>を挿入し、同様に電源VD印加点と出力端子O<sub>11</sub>との間にダイブレッショニングモードのMOSFET Q<sub>10</sub>を挿入し、かつ出力端子とアース点との間にフューズ素子F<sub>2</sub>を挿入し、MOSFET Q<sub>8</sub>のゲートにはプログラム信号Pを与えるようになるとともにMOSFET Q<sub>10</sub>のゲートは出力端子O<sub>11</sub>に接続するようにしてある。

第2回(b)の回路において、フューズ素子F<sub>2</sub>が遮断されていないとき、出力端子O<sub>11</sub>のレベルはMOSFET Q<sub>9</sub>とフューズ素子F<sub>2</sub>との抵抗比によって1レベルに保たれている。一方、MOSFET Q<sub>8</sub>のゲートに1レベルのプログラム信号Pを与えると、このMOSFET Q<sub>8</sub>がオンしてフューズ素子F<sub>2</sub>に大きな電流が流れ、このときに発生するジューク熱によってフューズ

コードのデコード動作は停止され、たとえば1レベルのときにデコード動作が行なわれる。

第8回は前記予備のアドレスコードの一つのデコード回路の一例を示す回路である。この回路は負荷用のダイブレッショニングモードのMOSFET Q<sub>10</sub>と、前記アドレスバスA<sub>1</sub>から出力される各アドレス信号A<sub>1</sub>, A<sub>2</sub>, A<sub>3</sub>, A<sub>4</sub>をゲート入力とする駆動用の複数のエンハンスマントモードのMOSFET Q<sub>9</sub>と、これら複数の各MOSFET Q<sub>9</sub>と上記MOSFET Q<sub>10</sub>との間に挿入される複数のフューズ素子F<sub>2</sub>とから構成されている。

このようないくつかのデコード回路では、たとえば前記正規のメモリセル回路4のメモリセルのうちアドレスA<sub>1</sub>=A<sub>2</sub>=...=A<sub>4</sub>=0に対応するものが不良の場合には、このアドレスに相当するデコード出力が得られるように各フューズ素子F<sub>2</sub>がプログラム、すなわちA<sub>1</sub>, A<sub>2</sub>, ..., A<sub>4</sub>をゲート入力とするMOSFET Q<sub>9</sub>に接続されているフューズ素子F<sub>2</sub>が遮断される。

特開昭58-105497(3)  
ズ素子F<sub>2</sub>が遮断される。フューズ素子F<sub>2</sub>が遮断されると、信号Pは再びレベルとをつてMOSFET Q<sub>9</sub>がカットオフし、今度はMOSFET Q<sub>10</sub>を介して出力端子O<sub>11</sub>が0レベルに充電される。そして、上記出力端子O<sub>11</sub>の信号、すなわち前記交換制御信号のレベルがたとえば1レベルのときには予備のアドレスコードのデコード動作は停止され、たとえば0レベルのときにデコード動作が行なわれる。

第2回(b)の回路では第2回(a)の回路とは反対に、フューズ素子F<sub>2</sub>が遮断されていないとき、出力端子O<sub>11</sub>のレベルはMOSFET Q<sub>9</sub>とフューズ素子F<sub>2</sub>との抵抗比によって0レベルに保たれている。そしてMOSFET Q<sub>8</sub>のゲートに1レベルのプログラム信号Pを与えると前記と同様にフューズ素子F<sub>2</sub>が遮断され、その後、出力端子O<sub>11</sub>はMOSFET Q<sub>10</sub>を介して1レベルに充電される。この場合には、出力端子O<sub>11</sub>の信号、すなわち交換制御信号のレベルがたとえば0レベルのときには予備のアドレス

#### 背景技術の問題点

ところで前記第2回(a), (b)に示す従来の交換制御信号発生部にあつては、フューズ素子F<sub>2</sub>が遮断されていないときはこのフューズ素子F<sub>2</sub>には常に電流が流れた状態になつてゐる。一方、このフューズ素子F<sub>2</sub>は遮断され易くするためにそのパターン形状の幅が極めて細く作られている。このため、上記フューズ素子F<sub>2</sub>に定常的に電流を流すことは信頼性上好ましくない。たとえば何らかの原因によつて電源VDにノイズが乗つたり、誤まって電源電圧を高くしてしまつたようを場合には、フューズ素子F<sub>2</sub>に異常電流が流れ、誤まつて遮断される恐れがある。

#### 発明の目的

したがつて、この発明の目的とするところは、不揮発性記憶素子を用いて二種の出力を得ることのできる信頼性の高い半導体集積回路を提供することにある。

#### 発明の概要

この発明の半導体集積回路は、電源と出力端

子との間にフューズ素子等両端間のインピーダンスが不揮発的に変化する不揮発性記憶素子を挿入し、上記出力端子とアースとの間にMOSFETからなるスイッチング素子を挿入し、電流が与えられた初期の一定期間、上記スイッチング素子をスイッチし、スイッチング素子がスイッチされている期間の上記出力端子の信号を記憶することによって、上記不揮発性記憶素子の両端間のインピーダンスが低い状態になつているときでも、この不揮発性記憶素子に當時電流を流す必要なしに二端の出力を得るようにして信頼性を高めるようにしたものである。

#### 発明の実施例

以下図面を参照してこの発明の実施例を説明する。第4図はこの発明の原理を説明するための回路図である。この回路は、電源VD印加点（一方電位供給端）と出力端子Outとの間にボリシリコンによつて構成されたフューズ素子Fを挿入し、出力端子Outとアース（他方電位供給端）との間にプログラム用のエンハンスマニ

れることなく、信頼性を高くすることができます。また、フューズ素子Fが遮断されているか否かの情報、すなわち前記プログラムの情報は、MOSFETQ<sub>21</sub>がオシしている時の出力端子Outの信号をラッタ回路20が記憶保持しているため、確実に出力される。をか、MOSFETQ<sub>21</sub>は従来と同様、フューズ素子Fを遮断するためのものであり、遮断時に1レベルとなるプログラム信号Pが与えられる。

第5図はこの発明の一実施例の構成を示す回路図であり、前記パルス発生回路10は、電源VDとアースとの間に直列挿入された抵抗R1およびコンデンサC1と、これら抵抗R1とコンデンサC1との直列接続点の信号を反転するインバータIN1とから構成され、インバータIN1の出力はMOSFETQ<sub>21</sub>のゲートに与えられる。また、前記ラッタ回路20は、出力端子Outの信号と上記インバータIN1の出力を各入力とする一对のNORゲートN1、N2からなるフリップフロップブロックと、上記一方のNOR

トモードのMOSFETQ<sub>21</sub>を挿入し、かつ出力端子Outとアースとの間にもう一つのエンハンスマントモードのMOSFETQ<sub>22</sub>を挿入し、さらに電源投入後に1レベルの所定パルス幅を持つパルス信号を出力するパルス発生回路10と上記出力端子Outの信号を記憶するラッタ回路20とを設け、上記MOSFETQ<sub>21</sub>のゲートにはプログラム信号Pを与えるようになるとともにMOSFETQ<sub>22</sub>のゲートには上記パルス発生回路10から出力されるパルス信号を与えるようにしたものである。そして上記ラッタ回路20の出力は、たとえば前記第1回路内の予偏のアドレスデコーダ3に与えられる。

このようないき回路では、フューズ素子Fが遮断されていない場合にこのフューズ素子Fに電流が流れるのは、パルス発生回路10からMOSFETQ<sub>21</sub>にパルス信号が与えられてこのMOSFETQ<sub>21</sub>がオンするときである。したがつて、従来のようにフューズ素子Fには常に電流が流れることはないので誤まつて遮断さ

ゲート21の出力をゲート入力とし出力端子Outとアースとの間に挿入されたエンハンスマントモードのMOSFETQ<sub>22</sub>とから構成されている。

このような構成において、電源VDを投入し、VDとアース間にVDの電位差が与えられると、その直後にインバータIN1から1レベルの所定パルス幅のパルス信号が出力される。そして所定期間、MOSFETQ<sub>21</sub>がオンする。とのとき、フューズ素子Fが遮断されていなければ出力端子Outは1レベルになる。したがつて、NORゲートN1の出力は0レベルである。次にMOSFETQ<sub>21</sub>のオン時間が終了しても出力端子Outはフューズ素子Fによつて1レベルに保たれているため、NORゲートN1の出力は0レベルのまま変化しない。

一方、前記MOSFETQ<sub>21</sub>によつてフューズ素子Fが遮断されているとき、MOSFETQ<sub>21</sub>がオンすると、出力端子Outは0レベルに放置される。このとき、NORゲートN1の出力は

インバータ $\ominus 1$ からの1レベル出力によって0レベルになつてゐるため、NORゲート $\oplus 1$ の出力は1レベルとなる。またNORゲート $\oplus 1$ の1レベル出力によってMOSFETQ<sub>23</sub>がオンし、この後、出力端子Out<sub>1</sub>はこのMOSFETQ<sub>23</sub>によつて0レベルに保持される。そしてインバータ $\ominus 1$ の出力が0レベルに戻つてもNORゲート $\oplus 1$ の出力は1レベルのまま保持される。

このようにして上記実施例回路では、電源を投入した後にフューズ素子Fが溶断されているか否によつて1レベルまたは0レベルの信号が出力される。

第6図はこの発明の他の実施例の構成を示す回路図であり、上記実施例回路とはタシチ回路 $\ominus 0$ の構成が異なつてゐる。すなわち、タシチ回路 $\ominus 0$ は、直列接続された2個のインバータ $\ominus 4$ 、 $\ominus 5$ と、この一方のインバータ $\ominus 4$ の入力側と出力端子Out<sub>1</sub>との間に挿入され伝達ゲートとして用いられるエンハンスマントモードのMOSFETQ<sub>24</sub>と、上記インバータ $\ominus 4$ の入

Out<sub>1</sub>から分離されるとともに、今度はMOSFETQ<sub>24</sub>がオンしてインバータ $\ominus 5$ の出力がとのMOSFETQ<sub>25</sub>を介してインバータ $\ominus 5$ の入力側に戻されるため、インバータ $\ominus 5$ の出力は今までの信号と同じレベルの信号に保持される。

したがつて、この実施例回路でも、電源VDを投入した後にフューズ素子Fの状態に応じて1レベルまたは0レベルの信号が出力される。

第7図はこの発明のさらに他の実施例の構成を示す回路図である。この実施例回路は、前記第5図に示す実施例回路のパルス発生回路 $\oplus 0$ とタシチ回路 $\ominus 0$ を除く回路部分、すなわちMOSFETQ<sub>21</sub>、Q<sub>23</sub>とフューズ素子Fからなる回路部分の電源VDとアースの関係を逆したものである。この場合、MOSFETQ<sub>23</sub>は出力端子Out<sub>1</sub>と電源VD印加点との間に挿入され、さらにこのMOSFETQ<sub>23</sub>のゲートにはインバータ $\ominus 7$ を介して前記NORゲート $\oplus 1$ の出力が与えられる。そしてこの場合の

特開昭58-105497(5)  
力側とインバータ $\ominus 7$ の出力側との間に挿入され伝達ゲートとして用いられるエンハンスマントモードのMOSFETQ<sub>26</sub>と、パルス発生回路 $\oplus 0$ 内のインバータ $\ominus 3$ の出力を反転するもう1つのインバータ $\ominus 6$ とから構成される。MOSFETQ<sub>26</sub>のゲートには前記インバータ $\ominus 7$ の出力が、MOSFETQ<sub>26</sub>のゲートには上記インバータ $\ominus 6$ の出力がそれぞれ与えられる。

このよう構成において、パルス発生回路 $\oplus 0$ から1レベルのパルス信号が出力されている期間ではMOSFETQ<sub>26</sub>がオンし、出力端子Out<sub>1</sub>の信号がフューズ素子Fの状態によつて0レベルまたは1レベルに設定される。このときMOSFETQ<sub>26</sub>もオンするために、出力信号Out<sub>1</sub>における信号はインバータ $\ominus 6$ 、 $\ominus 7$ によつて順次反転され、インバータ $\ominus 3$ の出力として出力端子Out<sub>1</sub>と同じレベルの信号が得られる。次にパルス信号の出力期間が終るとすると、MOSFETQ<sub>26</sub>がオフして、インバータ $\ominus 6$ の入力側は出力端子

NORゲート $\oplus 1$ の出力信号レベルは、フューズ素子Fの同じ状態に対して、第5図の実施例とは反対レベルとなる。

なお、この発明は上記実施例に限定されるものではなく、たとえばフューズ素子FはMOSFETQ<sub>23</sub>を用いて溶断する場合について説明したが、これはレーザ光線等のエネルギー線を照射することによつて溶断するよりにしてよい。そしてこの場合にはMOSFETQ<sub>23</sub>は不接である。さらにフューズ素子Fの代りにMNOS、FAMOS等の不揮発性記憶素子を用いてもよく、要するに両端間のインピーダンスが不揮発的に変化するようなものであればフューズ素子Fの代りに使用することができます。またポリシリコンによつて作られたフューズ素子を使用する場合、初期状態では高抵抗状態にして溶断されたときと同じ状態にし、その後、レーザアーナーとして低抵抗化し溶断されていない状態と同じ状態にするようにしてよい。

さらに前記パルス発生回路 $\oplus 0$ は、電源VD

の立上り方に条件を持たない第 8 図に示すよう  
な構成の回路を使用してもよい。

#### 発明の効果

以上説明したようにこの発明によれば、不揮  
発性記憶素子を用いて二値の出力を得ることの  
できる信頼性の高い半導体集積回路を提供する  
ことができる。

#### 4. 図面の簡単な説明

第 1 図は予偏のメモリセル回路が形成された  
半導体メモリのブロック構成図、第 2 図(a), (b)  
は上記半導体メモリの一部回路の従来の構成を  
示す回路図、第 3 図は上記半導体メモリの他の  
部分の構成を示す回路図、第 4 図はこの発明の  
原理を説明するための回路図、第 5 図をいし第  
7 図はそれぞれこの発明の各実施例の構成を示  
す回路図、第 8 図は第 4 図中のパルス発生回路  
の他の例を示す回路図である。

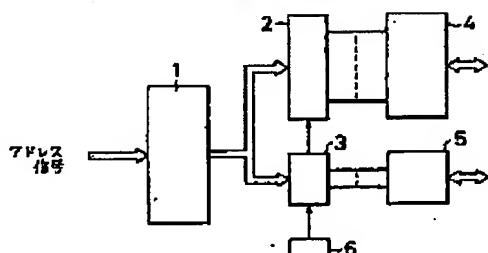
1…アドレスバッファ、2…正規のアドレス  
デコーダ、3…予偏のアドレスデコーダ、4…  
正規のメモリセル回路、5…予偏のメモリセル

特開昭58-105497(6)

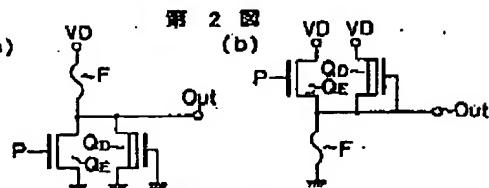
回路、6…交換制御信号発生部、 $Q_E$ 、 $Q_{DE}$ 、  
 $Q_{E1} \sim Q_{E8}$ …エンハンスマントモードの  
MOSFET、 $Q_D$ 、 $Q_{LD}$ …ディブレッシュン  
モードのMOSFET、F、 $F_D$ …フェニックス素子、  
Z0…ラック回路、J1…抵抗、J2…コンデンサ、J3、J4、  
J5、J6、Z7…インペータ、Z1、Z2…  
NORゲート、Z3…フリップフロップ

出版人代理人弁理士 鈴江 武彦

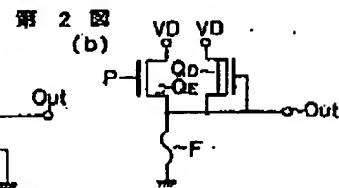
第 1 図



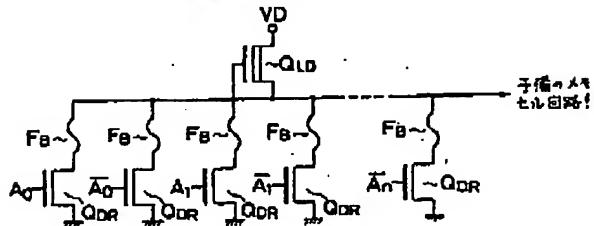
(a)



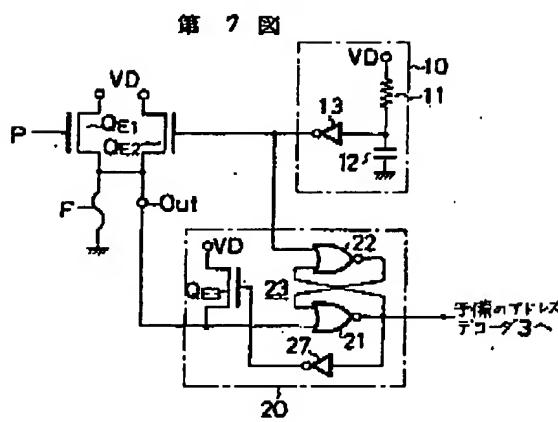
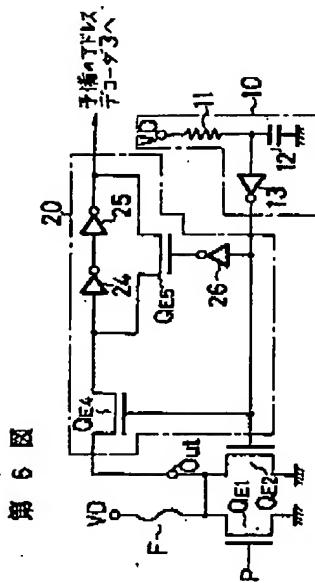
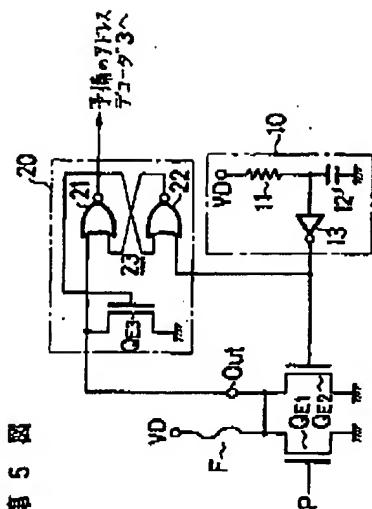
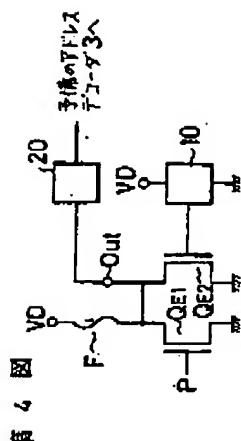
(b)



第 3 図



特開昭58-105497(7)



第8図

